

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-196501

(43)Date of publication of application : 19.07.2001

(51)Int.Cl. H01L 23/12
H01L 23/13
H05K 3/46

(21)Application number : 2000-338831 (71)Applicant : MITSUBISHI ELECTRIC CORP

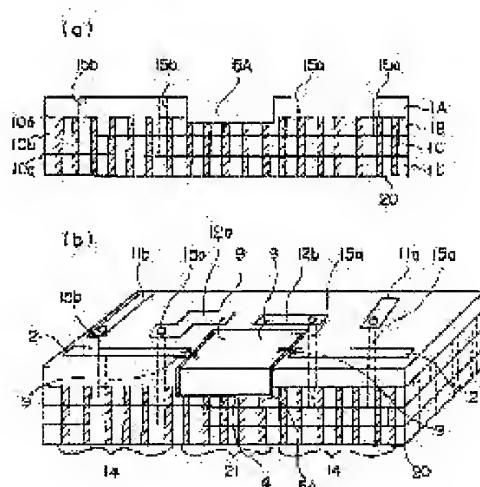
(22)Date of filing : 05.07.1995 (72)Inventor : ARAI MASATOSHI

(54) MICROWAVE CIRCUIT BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent high frequency characteristics from deteriorating by decreasing the gap between a device and a substrate and to increase the degree of freedom in the surface mounting density and patterning of a surface layer through a multilayer structure.

SOLUTION: The microwave circuit board comprises a multilayer circuit board formed by laminating multiple high thermal conductive substrate layers 1A, 1B, 1C, 1D and multiple conductor circuit layers 10a, 10b, 10c alternately, a semiconductor device 4 provided on the surface of the multilayer circuit board, a cavity 5A for receiving the semiconductor device 4 having a depth equivalent to the thickness of the semiconductor device 4 and subjected to metallization on the surface, power supply patterns 12a, 12b for the semiconductor device 4 provided in the multilayer circuit board, first through holes 14 for connecting the cavity 5A electrically with a ground plane 20 provided on the rear surface of the multilayer circuit board, and second through holes 21 for connecting the uppermost layer of the conductor circuit layer around the cavity 5A electrically with the ground plane 20.



LEGAL STATUS

[Date of request for examination] 07.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3438715

[Date of registration] 13.06.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the conductor of a multilayer high temperature conduction substrate layer and a multilayer -- a circuitry layer with the multilayered circuit board constituted by carrying out a laminating by turns RF pattern prepared in the front-face side of this multilayered circuit board, and said conductor -- with the grand pattern of said RF pattern by the maximum upper layer of a circuitry layer The semiconductor device connected to said RF pattern, and the cavity by which metallizing is given to the front face of owner Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne., and said semiconductor device is installed in it in the depth equivalent to the thickness of this semiconductor device, the pattern prepared in the front-face side of said multilayered circuit board, and said conductor -- it consisting of a through hole which connects a circuitry layer and these electrically, and with the pattern for power sources of said semiconductor device by which interior is carried out into said multilayered circuit board The 1st through hole which is prepared between said cavities and ground planes established in the rear-face side of said multilayered circuit board, and connects electrically the metallizing side and said ground plane of said cavity, respectively, [two or more] More than one are prepared between the top layer of a circuitry layer, and the ground plane of said multilayered circuit board in said cavity periphery. said conductor in said cavity periphery -- said conductor -- the microwave circuit board characterized by having the 2nd through hole which connects electrically the top layer and said ground plane of a circuitry layer, respectively.

[Claim 2] The microwave circuit board according to claim 1 characterized by having made the top layer of said high temperature conduction substrate layer into height equivalent to said semiconductor device, and making the grand side of said semiconductor device the same as that of the grand pattern side of said RF pattern.

[Claim 3] the conductor of a multilayer high temperature conduction substrate layer and a multilayer -- a circuitry layer with the multilayered circuit board constituted by carrying out a laminating by turns RF pattern prepared in the front-face side of this multilayered circuit board, and said conductor -- with the grand pattern of said RF pattern by the maximum upper layer of a circuitry layer Have the depth equivalent to the thickness of the semiconductor device connected to said RF pattern, and this semiconductor device, and said semiconductor device is installed. The cavity which makes the grand side of said semiconductor device the same as that of the grand pattern side of said RF pattern, the pattern prepared in the front-face side of said multilayered circuit board, and said conductor -- it consisting of a through hole which connects a circuitry layer and these electrically, and with the pattern for power sources of said semiconductor device by which interior is carried out into said multilayered circuit board said conductor -- the 1st independent pattern which is the top layer of a circuitry layer and constitutes the grand side of said semiconductor device -- the lower layer direct conductor of said top layer -- the 2nd independent pattern which is a circuitry layer and was prepared directly under said 1st independent pattern -- The microwave circuit board characterized by having the parallel plate capacitor formed in the list of said high temperature conduction substrate layer pinched by these [1st] and the 2nd independent pattern.

[Claim 4] Said high temperature conduction substrate layer is the microwave circuit board according to claim 1 to 3 characterized by considering as aluminum nitride.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the microwave circuit board which used the thermally conductive high member as a substrate.

[0002]

[Description of the Prior Art] It explains referring to drawing 11 , drawing 12 , and drawing 13 about the conventional microwave circuit board. Drawing 11 is the perspective view showing the cross section of the mounting condition of the conventional microwave circuit board.

[0003] In drawing 11 , 1 is an alumina (ceramic) substrate, 2 is a microstrip line, and it is the track (pattern for device power sources) which supplies a power source or a control signal required in order that the track (RF pattern) which transmits a high frequency signal, and 3 may operate the semiconductor device mentioned later. Moreover, the semiconductor device with which 4 was mounted, and 5 are the penetration cavities for the heat sink member installation for semiconductor device heat dissipation. In the case of the semiconductor device 4 of high power, since alumina conductivity is bad, it has joined to the heat sink member 6 for device heat dissipation with solder etc.

[0004] Moreover, the ground-plane pattern with which 7 was given to the rear face of a substrate 1, and 8 are the heat sink members for substrate heat dissipation joined in order to cool the substrate 1 whole. In addition, it has joined to the heat sink member for substrate heat dissipation, or the above-mentioned heat sink member 6 for device heat dissipation also has the case of the same member of one. 9 is the wire or ribbon which connects a semiconductor device 4, a microstrip line 2, or the pattern 3 for device power sources.

[0005] As shown in drawing 11 , the conventional microwave circuit board has given the microstrip line 2, the pattern 3 for device power sources, and the chip component mounting pattern (not shown) by the conductor layer on the alumina substrate 1. Moreover, the penetration cavity 5 for attachment of a semiconductor device 4 is formed, the heat sink member 6 for device heat dissipation is attached into it, it joins to this heat sink member 6 for device heat dissipation with solder etc., and a semiconductor device 4 is attached in the alumina substrate 1. Furthermore, this semiconductor device 4 is connected with the microstrip line 2 grade by wire bonding or ribbon bonding.

[0006] Drawing 12 is the perspective view showing the cross section of the mounting condition of other conventional microwave circuit boards. the alumina substrate with which the laminating of 1a-1d, and 10a-10c was carried out by turns in this drawing, and a conductor -- a circuitry layer -- it is -- a conductor -- circuitry layer 10a is a pattern used as RF ground plane. The surface pattern with which 11 supplies the power source, control signal, etc. of a semiconductor device 4 to a lower layer, and 12 are the patterns of the surface for supplying the power source, control signal, etc. from a lower layer to a device. 13 is the ground plane by which whole surface metallizing was carried out.

[0007] moreover, a through hole for 14 to connect electrically RF grand side 10a and a ground plane 13 and the conductor with which 15 was given to each class -- it is a through hole for connecting circuitry layers 10a-10c and a surface pattern, and exchanging a power source and a control signal.

[0008] as shown in drawing 12 , in order for other conventional microwave circuit boards to raise packaging density and to make it a miniaturization further -- the alumina substrates 1a-1d and a conductor -- the laminating of the circuitry layers 10a-10c is carried out by turns, and it considers as multilayer structure.

[0009] A surface layer is supplied through a through hole 15 from the pattern to which the patterns 11 and 12 and chip component mounting pattern (not shown) which exchange a microstrip line 2, a lower layer, a power source, a control signal, etc. on the front face of alumina substrate 1a which is the first pass were given to, and the power source or control signal of semiconductor device 4 grade was given at the lower layer. Moreover, the penetration cavity 5 for attachment of a semiconductor device 4 is formed, the heat sink member 6 for device heat dissipation is attached into it, it joins to this heat sink member 6 for device heat dissipation with solder etc., and a semiconductor device 4 is attached in a multilayer substrate. Furthermore, this semiconductor device 4 is connected with the microstrip line 2 grade by wire bonding or ribbon bonding.

[0010] Drawing 13 (a) and (b) are the easy circuit diagrams and block diagrams of FET of a source drive method. In this drawing (b), the penetration cavity (through hole) by which 1 was given to the alumina (ceramic) substrate and 5 was given to the device installation location, and 6 are a heat sink member for device heat dissipation, and the semiconductor device of high power high frequency to which a ribbon wire and 16 were connected to the chip 16 with the chip (capacitor), and 17 was connected [8] for the heat sink member for substrate heat dissipation, and 9 with solder etc.

[0011] It is effective when the breakdown voltage of FET which the electrical potential difference between the gate-sources is controlled, and FET is operated, and is used by adding a capacitor to the source is low, as shown in this drawing (a). A chip capacitor 16 is connected to the source (gland) side of FET, and the circuit consists of mounting.

[0012]

[Problem(s) to be Solved by the Invention] In the conventional microwave circuit board which was mentioned above, there was a trouble that it was difficult to attain lightweight-izing and a miniaturization by existence of the heat sink member 6 for device heat dissipation and the heat sink member 8 for substrate heat dissipation.

[0013] Moreover, in the conventional microwave circuit board, since the semiconductor device 4 of high power high frequency was arranged with the heat sink member 6 for device heat dissipation at the penetration cavity 5, big BAYAPPU was produced in the substrate ground plane and the device ground plane, and there was a trouble that the property of the semiconductor device of high power high frequency deteriorated.

[0014] Moreover, also in other conventional microwave circuit boards using a multilayer-structure substrate, since the penetration cavity 5 existed, there was a trouble that lower layer pattern arrangement and configuration received a limit.

[0015] Furthermore, in order to join the capacitors 16, such as a chip, to an FET source side, to realize to it, in order to give one of the drive methods of power devices, such as FET, and a source drive, and to radiate heat through a chip, there was a trouble on heat dissipation or reinforcement.

[0016] This invention aims at obtaining the microwave circuit board which was made in order to solve the above troubles, lightweight[small and]-izes the mounting substrate of a microwave circuit, raises surface packaging density and the degree of freedom of pattern manufacture of RF matching circuit according to multilayer structure further, simplifies arrangement of a lower layer pattern, and lessens degradation of a RF object property, and can constitute the source drive method of power devices, such as FET, using the dielectric constant of a high-temperature conduction substrate.

[0017]

[Means for Solving the Problem] The microwave circuit board concerning invention of claim 1 the conductor of a multilayer high temperature conduction substrate layer and a multilayer -- a circuitry layer with the multilayered circuit board constituted by carrying out a laminating by turns RF pattern prepared in the front-face side of this multilayered circuit board, and said conductor -- with the grand pattern of said RF pattern by the maximum upper layer of a circuitry layer The semiconductor device

connected to said RF pattern, and the cavity by which metallizing is given to the front face of owner Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne., and said semiconductor device is installed in it in the depth equivalent to the thickness of this semiconductor device, the pattern prepared in the front-face side of said multilayered circuit board, and said conductor -- it consisting of a through hole which connects a circuitry layer and these electrically, and with the pattern for power sources of said semiconductor device by which interior is carried out into said multilayered circuit board The 1st through hole which is prepared between said cavities and ground planes established in the rear-face side of said multilayered circuit board, and connects electrically the metallizing side and said ground plane of said cavity, respectively, [two or more] said conductor in said cavity periphery -- more than one are prepared between the top layer of a circuitry layer, and the ground plane of said multilayered circuit board in said cavity periphery -- having -- said conductor -- it has the 2nd through hole which connects electrically the top layer and said ground plane of a circuitry layer, respectively.

[0018] Moreover, the microwave circuit board concerning invention of claim 2 makes the top layer of said high temperature conduction substrate layer height equivalent to said semiconductor device, and makes the grand side of said semiconductor device the same as that of the grand pattern side of said RF pattern.

[0019] Moreover, the microwave circuit board concerning invention of claim 3 the conductor of a multilayer high temperature conduction substrate layer and a multilayer -- a circuitry layer with the multilayered circuit board constituted by carrying out a laminating by turns RF pattern prepared in the front-face side of this multilayered circuit board, and said conductor -- with the grand pattern of said RF pattern by the maximum upper layer of a circuitry layer Have the depth equivalent to the thickness of the semiconductor device connected to said RF pattern, and this semiconductor device, and said semiconductor device is installed. The cavity which makes the grand side of said semiconductor device the same as that of the grand pattern side of said RF pattern, the pattern prepared in the front-face side of said multilayered circuit board, and said conductor -- it consisting of a through hole which connects a circuitry layer and these electrically, and with the pattern for power sources of said semiconductor device by which interior is carried out into said multilayered circuit board said conductor -- the 1st independent pattern which is the top layer of a circuitry layer and constitutes the grand side of said semiconductor device -- the lower layer direct conductor of said top layer -- it has the parallel plate capacitor formed in the 2nd independent pattern which is a circuitry layer and was prepared directly under said 1st independent pattern, and a list of said high temperature conduction substrate layer pinched by these [1st] and the 2nd independent pattern.

[0020] Moreover, the microwave circuit board concerning invention of claim 4 makes alumimium nitride said high temperature conduction substrate layer.

[0021]

[Embodiment of the Invention] It explains below gestalt 1. of operation, referring to drawing 1 and drawing 2 about the gestalt of 1 operation of this invention. Drawing 1 is drawing showing the flat surface of the mounting condition of the microwave circuit board concerning the gestalt 1 of implementation of this invention. Drawing 2 (a) and (b) are the sectional views and cross-section perspective views of an A-A' line of drawing 1. In addition, the same sign shows the same or a considerable part among each drawing.

[0022] In drawing 1 , the semiconductor device of high power high frequency with which RF pattern was mounted for the high temperature conduction substrate with which 1A consists of alumimium nitride (AlN) etc., and 2, and the pattern for device power sources and 4 were mounted for 3, the cavity by which 5A gave metallizing to the front face of owner Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. for the depth equivalent to the thickness of a semiconductor device 4, and 9 are the wires or ribbons which connect a semiconductor device 4 and the surface patterns 2 and 3.

[0023] In drawing 2 , the ground plane where whole surface metallizing of 20 was carried out, and 21 are through holes which connect the metallizing side of the metallizing side of cavity 5A, and a ground plane 20. This through hole 21 is in the condition of having carried out metallizing of the medial surface and having connected both sides electrically, and that spacing is small enough compared with the

minimum wavelength of a clock frequency band.

[0024] As shown in drawing 2 , metallizing is given to a substrate front face all over a pattern (a microstrip 2 and power-source track 3) and a rear face, and high temperature conduction substrate 1A prepares cavity 5A which carried out metallizing of the front face, makes the same the height of the surface of the semiconductor device 4 of high power high frequency and substrate surface pattern which are mounted in this cavity 5A, and forms the through hole 21 which connects metallizing of cavity 5A, and metallizing of a ground plane 20.

[0025] Drawing 2 (b) joins the semiconductor device 4 of high power high frequency to cavity 5A with soldering etc., it is in the mounting condition that the RF I/O section and a control power supply section, and the surface patterns 2 and 3 were connected by wire bonding or ribbon bonding, and the ground plane and the substrate ground plane 20 of a semiconductor device 4 of high power high frequency are connected by the through hole 21.

[0026] Since it is joined to high temperature conduction substrate 1A, the semiconductor device 4 of high power high frequency functions as a heat sink member for heat dissipation of the semiconductor device 4 whose substrate itself is high power high frequency. Therefore, since the heat sink member for heat dissipation is not separately needed like the conventional example, a light weight and a miniaturization are possible. Furthermore, since a gap with a semiconductor device 4 is own thickness extent of a device, degradation of a RF property can be prevented. Since it is sufficiently small compared with the minimum wavelength of a clock frequency band, spacing of a through hole 21 can prevent frequency cutoff mode resonance.

[0027] namely, -- in order to use for the gestalt 1 of this operation high temperature conduction substrate 1A which consists of aluminum nitride etc., itself becomes a heat sink member for heat dissipation, and it is unnecessary in the heat sink member for heat dissipation required for the high power semiconductor device 4, and the heat sink member for heat dissipation required for a substrate -- carrying out -- the mounting circuit board -- lightweight-izing -- and it is miniaturized. Moreover, since the gap between a semiconductor device and a substrate is lessened, degradation of a RF property is prevented, since it does not have a through hole for device arrangement, and spacing of a through hole 21 is made sufficiently small compared with the minimum wavelength of a use frequency band, it is possible to prevent frequency cutoff mode resonance.

[0028] gestalt 2. of operation -- it explains, referring to drawing 3 and drawing 4 about the gestalt 2 of implementation of this invention. Drawing 3 is drawing showing the flat surface of the mounting condition of the microwave circuit board concerning the gestalt 2 of implementation of this invention. Moreover, drawing 4 (a) and (b) are the sectional views and cross-section perspective views of a B-B' line of drawing 3 .

[0029] In drawing 3 , RF pattern, the semiconductor device of high power high frequency with which 12a was mounted for the high temperature conduction substrate with which 1A consists of aluminum nitride (AlN) etc., and 2, and a device current supply pattern and 4 were mounted for 12b, the cavity by which 5A gave metallizing to the front face of owner Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. for the depth equivalent to the thickness of a semiconductor device 4, and 9 are the wires or ribbons which connect a semiconductor device 4 and a surface pattern.

[0030] Moreover, in this drawing, the pattern for lower layer electric supply and 15a are the through holes which are mentioned later and which connect circuitry layer 10b, device current supply pattern 12b, or pattern 11a the 2nd conductor, and 11a and 11b are in the condition which carried out metallizing of the medial surface and was connected electrically. 15b is the through hole which connects circuitry layer 10c, device current supply pattern 12a, or pattern 11b the 3rd conductor, and is in the condition which carried out metallizing of the medial surface and was connected electrically.

[0031] the high temperature conduction substrate which the laminating of 1A-the 1D is carried out to a multilayer, and consists of aluminum nitride (AlN) etc. in drawing 4 , and the conductor with which 10a-10c were given between high temperature conduction substrates -- as a circuitry layer and 20 are the ground planes by which whole surface metallizing was carried out and are shown in drawing 4 , cavity 5A has penetrated the top layer of a high temperature conduction substrate, i.e., first pass 1A. Moreover,

21 is the through hole which connects the metallizing side and ground plane 20 of cavity 5A, it is in the condition which carried out metallizing of the medial surface and was connected electrically, and the spacing is small enough compared with the minimum wavelength of a clock frequency band.

Furthermore, it is the periphery of cavity 5A, and 14 is the through hole which connects RF grand pattern (conductor circuitry layer) 10a and a ground plane 20, and is in the condition which carried out metallizing of the medial surface and was connected electrically, and the spacing is small enough compared with the minimum wavelength of a clock frequency band.

[0032] in addition, the gestalt 2 of this operation -- two or more high temperature conduction substrates 1A-1D and a conductor -- it is the multilayered circuit board which carried out the laminating of the circuitry layers (pattern) 10a-10c by turns, and the example of the multilayered circuit board which constituted the pattern in five layers here is shown. By carrying out the interior of the power-source pattern for device control, the degree of freedom of RF pattern manufacture of a surface layer improves, and device packaging density improves compared with monolayer structure. In comparison with the microwave circuit board shown in drawing 1, as the power-source circuit pattern 12a and 12b in the first pass, i.e., device current supply patterns, shows drawing 4, it is omitted, and the degree of freedom of RF pattern, a matching circuit, and control circuit production is also improving.

[0033] itself becoming a heat sink member for heat dissipation, and being unnecessary in the heat sink member for heat dissipation required for the high power semiconductor device 4, and the base member for heat dissipation required for a substrate, in order to use the high temperature conduction substrates 1A-1D which consist of aluminum nitride (AlN) etc. in the gestalt 2 of this operation -- carrying out -- the mounting circuit board of multilayer structure -- lightweight-izing -- and it is miniaturized.

Moreover, since it does not have a through hole for device arrangement, the gap between a semiconductor device 4 and a substrate is lessened, degradation of a RF property is prevented, and since spacing of a through hole 21 is made sufficiently small compared with the minimum wavelength of a use frequency band, frequency cutoff mode resonance can be prevented.

[0034] Furthermore, by carrying out the interior of the power-source pattern for device control to a lower layer according to multilayer structure, the power-source circuit pattern in the first pass can be omitted, and the degree of freedom of RF pattern, a matching circuit, and control circuit production improves, and an unnecessary wire which influences high frequency properties, such as straddling RF pattern, and ribbon bondings can be reduced.

[0035] gestalt 3. of operation -- it explains, referring to drawing 5 and drawing 6 about the gestalt 3 of implementation of this invention. Drawing 5 is the perspective view showing the mounting condition of the microwave circuit board concerning the gestalt 3 of implementation of this invention. Moreover, drawing 6 is the sectional view of the C-C' line of drawing 5.

[0036] Drawing 5 and drawing 6 are the multilayered circuit boards which carried out the laminating of two or more high temperature conduction substrates and the pattern by turns, and show the example of the multilayered circuit board which constituted the pattern in six layers here.

[0037] In drawing 5 and drawing 6, 1A-1E are high temperature conduction substrates which a laminating is carried out to a multilayer and consist of aluminum nitride (AlN) etc., and substrate 1A is substrate thickness almost equivalent to the thickness of the semiconductor device mentioned later.

Moreover, 10a-10d are the patterns (conductor circuitry layer) given among high temperature conduction substrate 1A - 1E, and pattern 10a is RF grand pattern.

[0038] Moreover, in this drawing, the pattern for lower layer pattern electric supply and 12a-12f of 11a-11c are the current supply patterns from a lower layer pattern to a semiconductor device. The ** cavity for semiconductor device installation by which 2 was given to RF pattern (microstrip) and 5A-5C were given to substrate 1A, and 4A-4C are the semiconductor devices of high power high frequency joined to pattern 10a under cavity 5A - 5C with solder etc.

[0039] Furthermore, in this drawing, it is in the condition which the ground plane where whole surface metallizing of 20 was carried out, and 14 are the through holes which connect RF grand pattern 10a and a ground plane 20, carried out metallizing of the medial surface, and was connected electrically, and the spacing is small enough compared with the minimum wavelength of a clock frequency band. Moreover,

15a-15c are the through holes which connect the interior patterns 10b-10d, the surface patterns 11a-11c, or Patterns 12a-12f, and are in the condition which carried out metallizing of the medial surface and was connected electrically. 9 is semiconductor devices 4A-4C, the surface patterns 2, 11a-11c, the wire that connects 12a-12f, or a ribbon.

[0040] As shown in drawing 6, cavity 5A etc. can prevent degradation of a RF property further by having penetrated the top layer of a high temperature conduction substrate, i.e., first pass 1A, and making first pass 1A of a substrate into height almost equivalent to semiconductor devices 4A-4C, and making the same RF grand side 10a and a semiconductor device grand side.

[0041] itself becoming a heat sink member for heat dissipation, and being unnecessary in the heat sink member for heat dissipation required for the high power semiconductor devices 4A-4C, and the heat sink member for heat dissipation required for a substrate, in order to use the high temperature conduction substrates 1A-1E which consist of aluminum nitride (AlN) etc. in the gestalt 3 of this operation -- carrying out -- the mounting circuit board of multilayer structure -- lightweight-izing -- and it is miniaturized. Moreover, since it does not have a through hole for device arrangement, but the gap between a semiconductor device and a substrate is lessened since the thickness of a semiconductor device and the first pass of multilayer structure is equivalent, and a device ground plane and RF circuit ground plane are made the same, degradation of the RF property of a multilayered circuit board can be prevented. Furthermore, since spacing of a through hole 14 is made sufficiently small compared with the minimum wavelength of a use frequency band, frequency cutoff mode resonance can be prevented.

[0042] Furthermore, by carrying out the interior of the power-source pattern for device control to a lower layer according to multilayer structure, the power-source circuit pattern in the first pass can be omitted, and RF pattern, a matching circuit, and the degree of freedom of control circuit production improve, and an unnecessary wire which influences high frequency properties, such as straddling RF pattern, and ribbon bondings can be reduced.

[0043] gestalt 4. of operation -- it explains, referring to drawing 7 and drawing 8 about the gestalt 4 of implementation of this invention. Drawing 7 is the perspective view showing the mounting condition of the microwave circuit board concerning the gestalt 4 of implementation of this invention. Moreover, drawing 8 is the sectional view of the D-D' line of drawing 7. The same sign is given to the part which is common in drawing 5 and drawing 6 in these drawings.

[0044] Drawing 7 and drawing 8 are the multilayered circuit boards which carried out the laminating of the high temperature conduction substrates 1A-1E which consist of two or more aluminum nitride (AlN) etc., and the patterns 10a-10d by turns, and show the example of the multilayered circuit board which constituted the pattern in six layers here.

[0045] In drawing 7 and drawing 8, 22 is a pattern which forms the KOPURENA track in a microstrip. Moreover, it is the through hole which connects RF grand pattern 10a and the above-mentioned pattern 22, and metallizing of the medial surface is carried out, it connects electrically, and 23 is a condition. 20 is the ground plane by which whole surface metallizing was carried out. Especially this is not needed according to the installation situation or conditions of this microwave circuit.

[0046] By taking the ground plane of RF through the KOPURENA pattern 22, the penetrated through hole which connects RF grand pattern 10a and a ground plane 20 is not needed, and the pattern given to the following layers does not receive the limit by that through hole, but the gestalt 4 of this operation makes pattern configuration and creation easy.

[0047] namely, -- itself becoming a heat sink member for heat dissipation, and being unnecessary in the heat sink member for heat dissipation required for a high power semiconductor device, and the heat sink member for heat dissipation required for a substrate, in order to use the high temperature conduction substrates 1A-1E which consist of aluminum nitride (AlN) etc. in the gestalt 4 of this operation -- carrying out -- the mounting circuit board of multilayer structure -- lightweight-izing -- and it is miniaturized. Moreover, since it does not have a through hole for device arrangement, but the gap between a semiconductor device and a substrate is lessened since the thickness of a semiconductor device and the first pass of multilayer structure is equivalent, and a device ground plane and RF circuit ground plane are made the same, degradation of the RF property of a multilayered circuit board can be

prevented. Moreover, by carrying out the interior of the power-source pattern for device control to a lower layer according to multilayer structure, the power-source circuit pattern in the first pass can be omitted, and RF pattern, a matching circuit, and the degree of freedom of control circuit production improve, and an unnecessary wire which influences high frequency properties, such as straddling RF pattern, and ribbon bondings can be reduced. Furthermore, since the through hole of penetration for RF ground plane is not needed, the degree of freedom of the power-source pattern circuit manufacture performed to a lower layer improves.

[0048] gestalt 5. of operation -- it explains, referring to drawing 9 about the gestalt 5 of implementation of this invention. Drawing 9 is the fragmentary sectional view showing the mounting condition of the microwave circuit board concerning the gestalt 5 of implementation of this invention. The same sign is given to the part which is common in drawing 5 and drawing 6 in this drawing.

[0049] Drawing 9 (a) is the block diagram of the source drive circuit of a multilayered circuit board and FET which carried out the laminating of the high temperature conduction substrates 1A-1E which consist of two or more aluminum nitride (AlN) etc., and the patterns 10a-10d by turns, and shows the example of the multilayered circuit board which constituted the pattern in six layers.

[0050] In drawing 9 , 24 is a pattern of the cavity section with which semiconductor devices, such as FET, are arranged, and has been independent of the pattern of the same layer. Moreover, a pattern 25 is directly under pattern 24, and the pattern of the same layer as well as a pattern 24 has been independent. 26 is the through hole which connects a pattern 25 and a ground plane 20, it is in the condition which carried out metallizing of the medial surface and was connected electrically, and the spacing is small enough compared with the minimum wavelength of a clock frequency band. Furthermore, 28 is the through hole which connects a pattern 24 and a pattern 27, and is in the condition which carried out metallizing of the medial surface and was connected electrically.

[0051] In a multilayered circuit board [in / in the gestalt 5 of this operation / the gestalt 3 of the above-mentioned implementation] By giving independently the pattern 24 and the pattern [directly under] 25 of it of the cavity section of a semiconductor device, and inserting high temperature conduction substrate 1B into these patterns The parallel plate capacitor 29 is constituted from a part surrounded by the dotted line using the dielectric constant of high temperature conduction substrate 1B, and the circuitry for performing the source drive of FET like drawing 9 (b) becomes possible.

[0052] namely, -- itself becoming a heat sink member for heat dissipation, and being unnecessary in the heat sink member for heat dissipation required for a high power semiconductor device, and the heat sink member for heat dissipation required for a substrate, in order to use the high temperature conduction substrates 1A-1E which consist of aluminum nitride (AlN) etc. in the gestalt 5 of this operation -- carrying out -- the mounting circuit board -- lightweight-izing -- and it is miniaturized. Moreover, since it does not have a through hole for device arrangement, the gap between a semiconductor device and a substrate is lessened, degradation of a RF property is prevented, and since spacing of a through hole 14 is made sufficiently small compared with the minimum wavelength of a use frequency band, frequency cutoff mode resonance can be prevented.

[0053] Furthermore, ground-plane (source) patterns, such as FET, are given independently, the dielectric constant of high temperature conduction substrate 1B is used, and the parallel plate capacitor 29 can be formed. It can constitute a source drive circuit.

[0054] gestalt 6. of operation -- it explains, referring to drawing 10 about the gestalt 6 of implementation of this invention. Drawing 10 is the fragmentary sectional view showing the mounting condition of the microwave circuit board concerning the gestalt 10 of implementation of this invention. The same sign is given to the part which is common in the gestalt 4 of the above-mentioned implementation, and the gestalt 5 of operation in this drawing.

[0055] Drawing 10 (a) is the block diagram of the source drive circuit of a multilayered circuit board and FET which carried out the laminating of the high temperature conduction substrates 1A-1E which consist of two or more aluminum nitride (AlN) etc., and the patterns 10a-10d by turns, and shows the example of the multilayered circuit board which constituted the pattern in six layers.

[0056] In drawing 10 , 24 is a pattern of the cavity section with which semiconductor devices, such as

FET, are arranged, and has been independent of the pattern of the same layer. Moreover, a pattern 25 is directly under pattern 24, and the pattern of the same layer as well as a pattern 24 has been independent. 20 is the ground plane by which whole surface metallizing was carried out. 26 is the through hole which connects a pattern 25 and a ground plane 20, it is in the condition which carried out metallizing of the medial surface and was connected electrically, and the spacing is small enough compared with the minimum wavelength of a clock frequency band.

[0057] In a multilayered circuit board [in / in the gestalt 6 of this operation / the gestalt 4 of the above-mentioned implementation] By giving independently the pattern 24 and the pattern [directly under] 25 of it of the cavity section of a semiconductor device, and inserting high temperature conduction substrate 1B into these patterns The parallel plate capacitor 29 is constituted from a part surrounded by the dotted line using the dielectric constant of high temperature conduction substrate 1B, and the circuitry for performing the source drive of FET like drawing 10 (b) becomes possible.

[0058]

[Effect of the Invention] as mentioned above, the conductor of invention ***** and the multilayer high temperature conduction substrate layer concerning claim 1, and a multilayer -- a circuitry layer with the multilayered circuit board constituted by carrying out a laminating by turns RF pattern prepared in the front-face side of this multilayered circuit board, and said conductor -- with the grand pattern of said RF pattern by the maximum upper layer of a circuitry layer The semiconductor device connected to said RF pattern, and the cavity by which metallizing is given to the front face of owner Perilla frutescens (L.) Britton var. crispa (Thumb.) Decne., and said semiconductor device is installed in it in the depth equivalent to the thickness of this semiconductor device, the pattern prepared in the front-face side of said multilayered circuit board, and said conductor -- it consisting of a through hole which connects a circuitry layer and these electrically, and with the pattern for power sources of said semiconductor device by which interior is carried out into said multilayered circuit board The 1st through hole which is prepared between said cavities and ground planes established in the rear-face side of said multilayered circuit board, and connects electrically the metallizing side and said ground plane of said cavity, respectively, [two or more] More than one are prepared between the top layer of a circuitry layer, and the ground plane of said multilayered circuit board in said cavity periphery. said conductor in said cavity periphery -- said conductor -- since the 2nd through hole which connects electrically the top layer and said ground plane of a circuitry layer, respectively was prepared, and it does not have a through hole for device arrangement, the gap between a device and a substrate can be lessened and degradation of a RF property can be prevented. Moreover, surface packaging density and the degree of freedom of pattern manufacture of RF matching circuit improve according to multilayer structure, and the effectiveness that an unnecessary wire which influences high frequency properties, such as straddling RF pattern, and ribbon bondings are reducible is done so.

[0059] Moreover, since the top layer of invention ***** concerning claim 2 and said high temperature conduction substrate layer was made into height equivalent to said semiconductor device and the grand side of said semiconductor device was made the same as that of the grand pattern side of said RF pattern, the gap between a semiconductor device and a substrate is lessened further, and the effectiveness that degradation of the RF property of a multilayered circuit board can be prevented is done so.

[0060] moreover, the conductor of invention ***** and the multilayer high temperature conduction substrate layer concerning claim 3, and a multilayer -- a circuitry layer with the multilayered circuit board constituted by carrying out a laminating by turns RF pattern prepared in the front-face side of this multilayered circuit board, and said conductor -- with the grand pattern of said RF pattern by the maximum upper layer of a circuitry layer Have the depth equivalent to the thickness of the semiconductor device connected to said RF pattern, and this semiconductor device, and said semiconductor device is installed. The cavity which makes the grand side of said semiconductor device the same as that of the grand pattern side of said RF pattern, the pattern prepared in the front-face side of said multilayered circuit board, and said conductor -- it consisting of a through hole which connects a circuitry layer and these electrically, and with the pattern for power sources of said semiconductor

device by which interior is carried out into said multilayered circuit board said conductor -- the 1st independent pattern which is the top layer of a circuitry layer and constitutes the grand side of said semiconductor device -- the lower layer direct conductor of said top layer -- the 2nd independent pattern which is a circuitry layer and was prepared directly under said 1st independent pattern -- Since the parallel plate capacitor formed in the list of said high temperature conduction substrate layer pinched by these [1st] and the 2nd independent pattern was formed Surface packaging density and the degree of freedom of pattern manufacture of RF matching circuit can improve according to multilayer structure, and effect can be prevented in RF properties, such as straddling RF pattern. Moreover, ground-plane (source) patterns, such as FET, are given independently, an parallel plate capacitor can be formed using the dielectric constant of a high temperature conduction substrate, and the effectiveness that it can constitute a source drive circuit is done so.

[0061] Moreover, since invention ***** concerning claim 4 and said high temperature conduction substrate layer were made into aluminum nitride, the heat sink member for heat dissipation is made unnecessary, and lightweight-izing and the effectiveness that it can miniaturize are done so for the mounting circuit board.

[Translation done.]

*** NOTICES ***

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the front face of the gestalt 1 of implementation of this invention.

[Drawing 2] It is drawing showing the cross section of the A-A' line of drawing 1 .

[Drawing 3] It is drawing showing the transverse plane of the gestalt 2 of implementation of this invention.

[Drawing 4] It is drawing showing the cross section of the B-B' line of drawing 3 .

[Drawing 5] It is the perspective view showing the gestalt 3 of implementation of this invention.

[Drawing 6] It is drawing showing the cross section of the C-C' line of drawing 5 .

[Drawing 7] It is the perspective view showing the gestalt 4 of implementation of this invention.

[Drawing 8] It is drawing showing the cross section of the D-D' line of drawing 7 .

[Drawing 9] It is drawing showing the partial cross section of the gestalt 5 of implementation of this invention.

[Drawing 10] It is drawing showing the partial cross section of the gestalt 6 of implementation of this invention.

[Drawing 11] It is the perspective view showing the conventional microwave circuit board.

[Drawing 12] It is the perspective view showing other conventional microwave circuit boards (multilayered circuit board).

[Drawing 13] It is the easy explanatory view of the source drive method of FET.

[Description of Notations]

1A A high temperature conduction substrate, 2 RF pattern (microstrip line), 3 The pattern for device power sources, 4 Semiconductor device of quantity power high frequency, 5A A cavity, 9 A wire or a ribbon, 20 A ground plane, 21 Through hole.

[Translation done.]

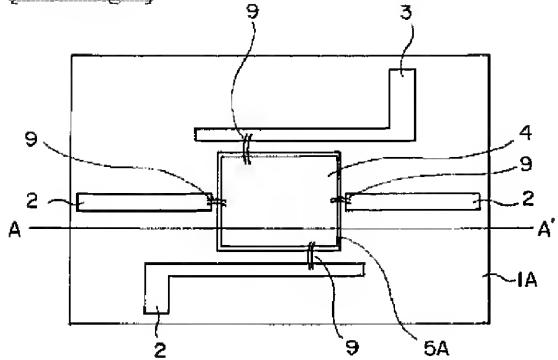
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

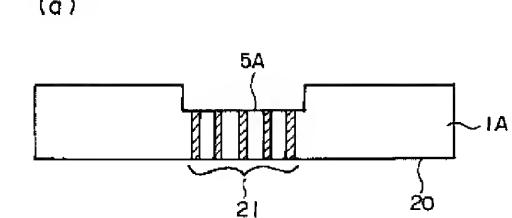
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

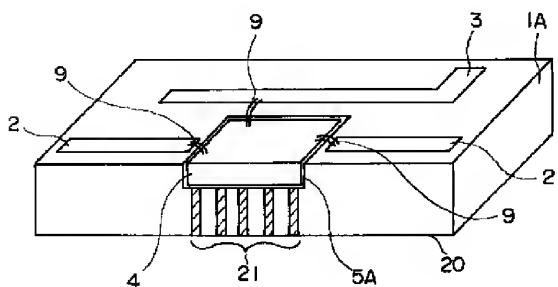
[Drawing 1]



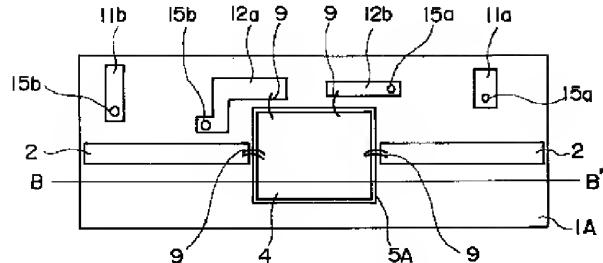
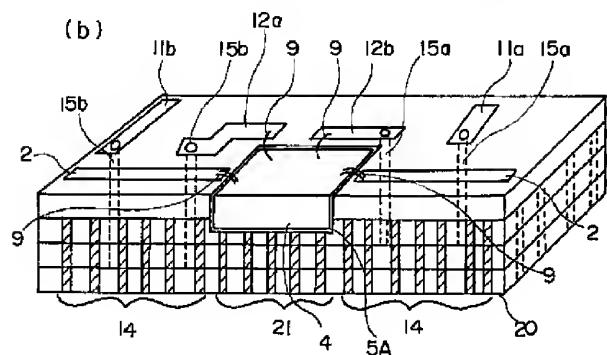
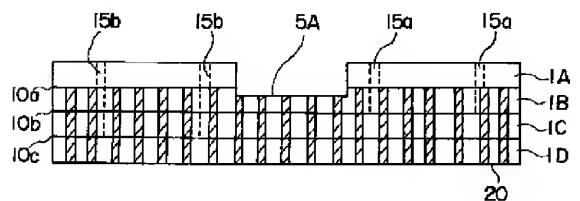
[Drawing 2]



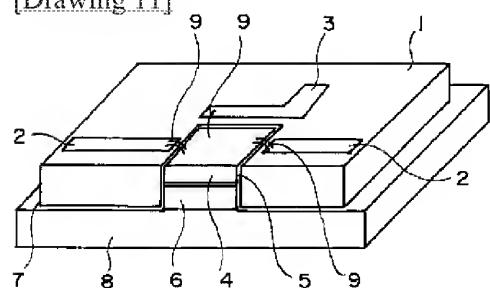
(b)



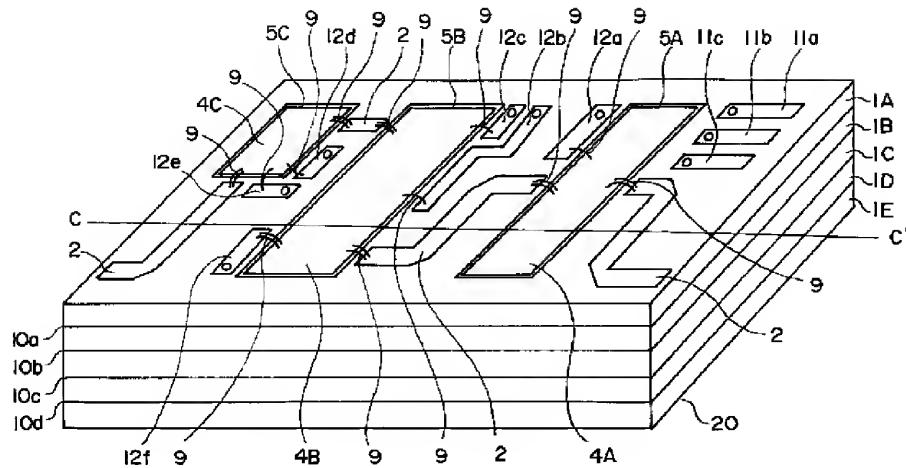
[Drawing 3]

[Drawing 4]
(a)

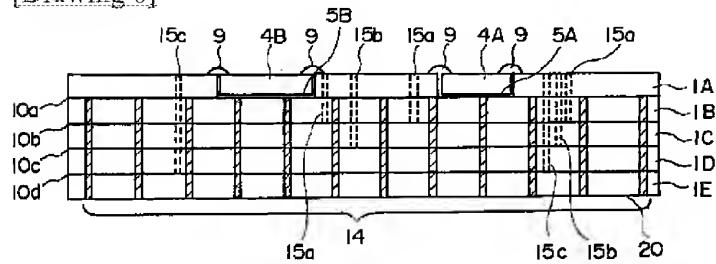
[Drawing 11]



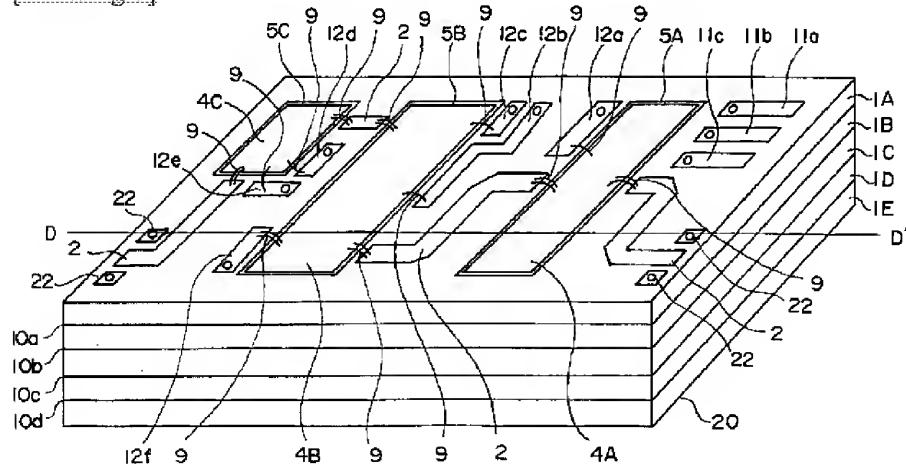
[Drawing 5]



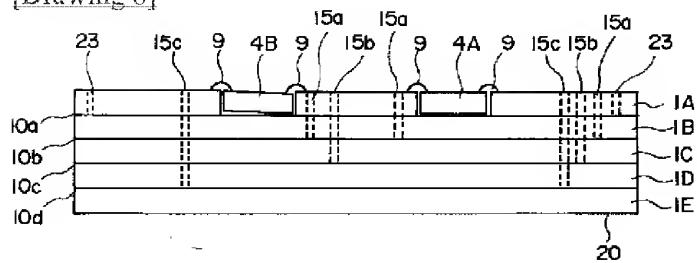
[Drawing 6]

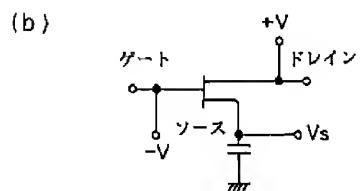
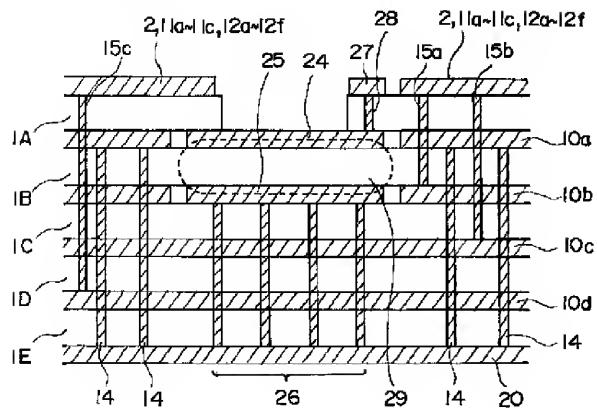


[Drawing 7]



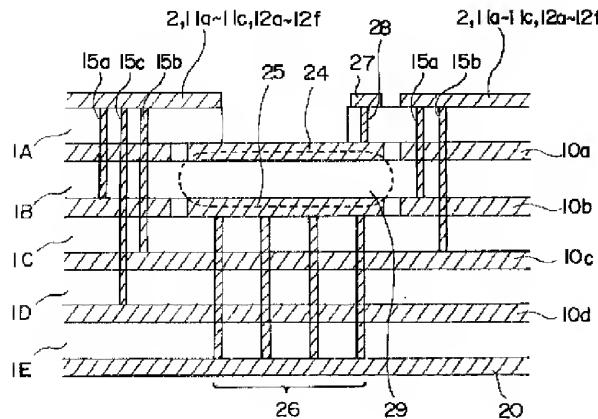
[Drawing 8]



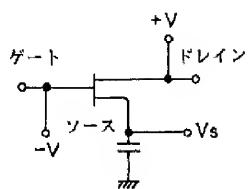
[Drawing 9]
(a)

[Drawing 10]

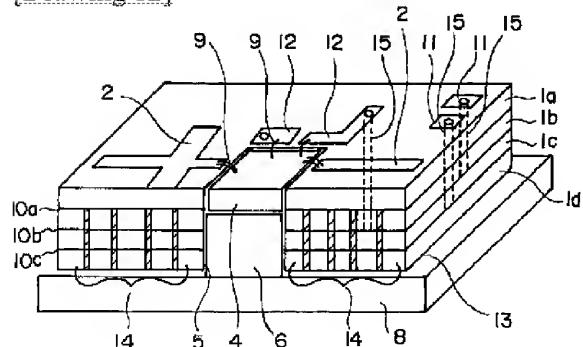
(a)



(b)

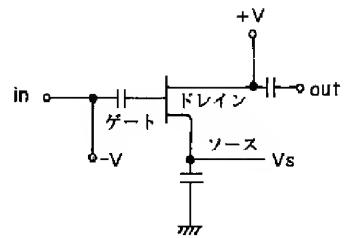


[Drawing 12]

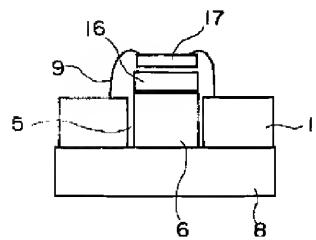


[Drawing 13]

(a)



(b)



[Translation done.]

(51) Int.Cl. ⁷	識別記号	F I	マークド (参考)
H 01 L 23/12	3 0 1	H 01 L 23/12	3 0 1 L
		H 05 K 3/46	Q
23/13			Z
H 05 K 3/46			T
		H 01 L 23/12	N
		審査請求 有 請求項の数 4 O L (全 11 頁)	最終頁に続く

(21)出願番号 特願2000-338831(P2000-338831)

(62)分割の表示 特願平7-169915の分割

(22)出願日 平成7年7月5日(1995.7.5)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 新居 真敏

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100102439

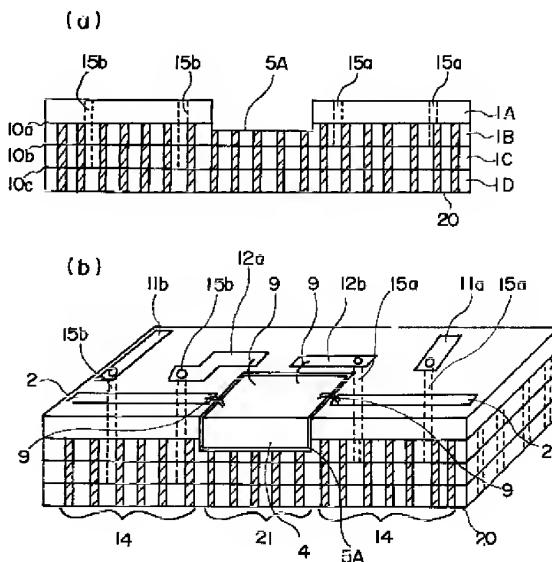
弁理士 宮田 金雄 (外1名)

(54)【発明の名称】マイクロ波回路基板

(57)【要約】 (修正有)

【課題】 デバイスと基板間のギャップを少なくし高周波特性の劣化を防ぐと共に、多層構造により表層の実装密度及びパターン製作の自由度を上げる。

【解決手段】 多層の高熱伝導基板層1A, 1B, 1C, 1Dと多層の導体回路層10a, 10b, 10cとを交互に積層して構成された多層回路基板と、この多層回路基板の表面側に設けられた半導体デバイス4と、この半導体デバイス4の厚みと同等の深さを有しその表面にメタライズを施し、半導体デバイス4が設置されるキャビティ5Aと、多層回路基板内に内装される半導体デバイス4の電源用パターン12a, 12bと、キャビティ5Aと多層回路基板の裏面側に設けられた接地面20とをそれぞれ電気的に接続する第1のスルーホール14と、キャビティ5A周辺部における導体回路層の最上位層と接地面20とをそれぞれ電気的に接続する第2のスルーホール21とを設けた。



【特許請求の範囲】

【請求項1】 多層の高熱伝導基板層と多層の導体回路層とを交互に積層して構成された多層回路基板と、この多層回路基板の表面側に設けられたRFパターンと、前記導体回路層の最上層による前記RFパターンのグランドパターンと、前記RFパターンに接続される半導体デバイスと、この半導体デバイスの厚みと同等の深さを有し、その表面にメタライズを施し、前記半導体デバイスが設置されるキャビティと、前記多層回路基板の表面側に設けられたパターン、前記導体回路層及びこれらを電気的に接続するスルーホールからなり、前記多層回路基板内に内装される前記半導体デバイスの電源用パターンと、前記キャビティと前記多層回路基板の裏面側に設けられた接地面との間に複数個設けられ、前記キャビティのメタライズ面と前記接地面とをそれぞれ電気的に接続する第1のスルーホールと、前記キャビティ周辺部における前記導体回路層の最上位層と前記キャビティ周辺部における前記多層回路基板の接地面との間に複数個設けられ、前記導体回路層の最上位層と前記接地面とをそれぞれ電気的に接続する第2のスルーホールとを備えたことを特徴とするマイクロ波回路基板。

【請求項2】 前記高熱伝導基板層の最上位層を前記半導体デバイスと同等の高さとし、前記半導体デバイスのグランド面を前記RFパターンのグランドパターン面と同一にしたことを特徴とする請求項1記載のマイクロ波回路基板。

【請求項3】 多層の高熱伝導基板層と多層の導体回路層とを交互に積層して構成された多層回路基板と、この多層回路基板の表面側に設けられたRFパターンと、前記導体回路層の最上層による前記RFパターンのグランドパターンと、前記RFパターンに接続される半導体デバイスと、この半導体デバイスの厚みと同等の深さを有し前記半導体デバイスが設置され、前記半導体デバイスのグランド面を前記RFパターンのグランドパターン面と同一にするキャビティと、前記多層回路基板の表面側に設けられたパターン、前記導体回路層及びこれらを電気的に接続するスルーホールからなり、前記多層回路基板内に内装される前記半導体デバイスの電源用パターンと、前記導体回路層の最上位層であって前記半導体デバイスのグランド面を構成する第1の独立パターン、前記最上位層の直下層の導体回路層であって前記第1の独立パターンの直下に設けられた第2の独立パターン、並びにこれら第1及び第2の独立パターンに挟まれた前記高熱伝導基板層により形成された平行平板コンデンサとを備えたことを特徴とするマイクロ波回路基板。

【請求項4】 前記高熱伝導基板層は、窒化アルミニウムとしたことを特徴とする請求項1乃至請求項3のいずれかに記載のマイクロ波回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、基板として熱伝導性の高い部材を用いたマイクロ波回路基板に関するものである。

【0002】

【従来の技術】従来のマイクロ波回路基板について図1-1、図1-2及び図1-3を参照しながら説明する。図1-1は、従来のマイクロ波回路基板の実装状態の断面を示す斜視図である。

【0003】図1-1において、1はアルミナ(セラミック)基板、2はマイクロストリップラインであって高周波信号を伝達する線路(RFパターン)、3は後述する半導体デバイスを動作させるために必要な電源または制御信号を供給する線路(デバイス電源用パターン)である。また、4は実装された半導体デバイス、5は半導体デバイス放熱用ヒートシンク部材設置用の貫通キャビティである。高電力の半導体デバイス4の場合、アルミナ導性が悪いため、デバイス放熱用ヒートシンク部材6に半田等で接合している。

【0004】また、7は基板1の裏面に施された接地面パターン、8は基板1全体を冷却するために接合された基板放熱用ヒートシンク部材である。なお、上記デバイス放熱用ヒートシンク部材6は基板放熱用ヒートシンク部材に接合しているか若しくは一体の同一部材の場合もある。9は半導体デバイス4とマイクロストリップライン2あるいはデバイス電源用パターン3とを接続するワイヤーもしくはリボンである。

【0005】図1-1に示すように、従来のマイクロ波回路基板は、アルミナ基板1上に導体層によりマイクロストリップライン2、デバイス電源用パターン3、チップ部品取付パターン(図示せず)を施している。また、アルミナ基板1には、半導体デバイス4の取付のための貫通キャビティ5が設けられ、その中にデバイス放熱用ヒートシンク部材6を取り付け、このデバイス放熱用ヒートシンク部材6に半田等で接合して半導体デバイス4を取り付ける。さらに、この半導体デバイス4をワイヤーボンディングあるいはリボンボンディングでマイクロストリップライン2等と接続しているものである。

【0006】図1-2は、従来の他のマイクロ波回路基板の実装状態の断面を示す斜視図である。同図において、1a～1dと10a～10cは交互に積層されたアルミナ基板と導体回路層であり、導体回路層10aはRF接地面となるパターンである。11は半導体デバイス4の電源・制御信号等を下層へ供給する表層のパターン、12は下層からの電源・制御信号等をデバイスへ供給するための表層のパターンである。13は全面メタライズされた接地面である。

【0007】また、14はRFグランド面10aと接地面13とを電気的に接続するためのスルーホール、15は各層に施された導体回路層10a～10cと表面パターンとを接続し電源・制御信号をやりとりするためのス

ルーホールである。

【0008】図12に示すように、従来の他のマイクロ波回路基板は、実装密度をあげ、更に小型化する為に、アルミナ基板1a～1dと導体回路層10a～10cとを交互に積層して多層構造としたものである。

【0009】第一層であるアルミナ基板1aの表面にマイクロストリップライン2、下層と電源・制御信号等をやりとりするパターン11、12、チップ部品取付パターン(図示せず)を施し、半導体デバイス4等の電源または制御信号を下層に施されたパターンよりスルーホール15を介して表面層へ供給する。また、多層基板には、半導体デバイス4の取付のための貫通キャビティ5が設けられ、その中にデバイス放熱用ヒートシンク部材6を取り付け、このデバイス放熱用ヒートシンク部材6に半田等で接合して半導体デバイス4を取り付ける。さらに、この半導体デバイス4をワイヤーボンディングあるいはリボンボンディングでマイクロストリップライン2等と接続しているものである。

【0010】図13(a)及び(b)は、ソースドライブ方式のFETの簡単な回路図及び構成図である。同図(b)において、1はアルミナ(セラミック)基板、5はデバイス設置位置に施された貫通キャビティ(貫通穴)、6はデバイス放熱用ヒートシンク部材、8は基板放熱用ヒートシンク部材、9はリボンワイヤー、16はチップ部品(コンデンサ)、17はチップ部品16に半田等で接続された高電力高周波の半導体デバイスである。

【0011】同図(a)に示すように、ソースにコンデンサを付加することによりゲート-ソース間の電圧を制御しFETを動作させるものであり、使用するFETのブレーカダウン電圧が低い場合に有効である。実装ではFETのソース(グランド)面にチップコンデンサ16を接続して回路を構成している。

【0012】

【発明が解決しようとする課題】上述したような従来のマイクロ波回路基板では、デバイス放熱用ヒートシンク部材6と、基板放熱用ヒートシンク部材8の存在により軽量化及び小型化を図るのが困難であるという問題点があった。

【0013】また、従来のマイクロ波回路基板では、高電力高周波の半導体デバイス4がデバイス放熱用ヒートシンク部材6と共に貫通キャビティ5に配置されるため、基板接地面とデバイス接地面とで大きなバッファを生じ、高電力高周波の半導体デバイスの特性が劣化するという問題点があった。

【0014】また、多層構造基板を用いる従来の他のマイクロ波回路基板においても、貫通キャビティ5が存在するため下層のパターン配置や構成が制限を受けるという問題点があった。

【0015】さらに、FET等のパワーデバイスのドラ

イブ方式の一つ、ソースドライブを施すために、FETソース面にチップ部品等のコンデンサ16を接合して実現し、チップ部品を介して放熱を行うため、放熱あるいは強度等の上で問題点があった。

【0016】本発明は、上記のような問題点を解決するためになされたもので、マイクロ波回路の実装基板を小型・軽量化し、更に多層構造により表層の実装密度及び、RF整合回路のパターン製作の自由度をあげ、下層パターンの配置を簡単にし、高周波特性の劣化を少なくし、また高熱伝導基板の誘電率を利用してFET等のパワーデバイスのソースドライブ方式を構成できるマイクロ波回路基板を得ることを目的とする。

【0017】

【課題を解決するための手段】請求項1の発明に係るマイクロ波回路基板は、多層の高熱伝導基板層と多層の導体回路層とを交互に積層して構成された多層回路基板と、この多層回路基板の表面側に設けられたRFパターンと、前記導体回路層の最上層による前記RFパターンのグランドパターンと、前記RFパターンに接続される半導体デバイスと、この半導体デバイスの厚みと同等の深さを有しその表面にメタライズを施し、前記半導体デバイスが設置されるキャビティと、前記多層回路基板の表面側に設けられたパターン、前記導体回路層及びこれらを電気的に接続するスルーホールからなり、前記多層回路基板内に内装される前記半導体デバイスの電源用パターンと、前記キャビティと前記多層回路基板の裏面側に設けられた接地面との間に複数個設けられ、前記キャビティのメタライズ面と前記接地面とをそれぞれ電気的に接続する第1のスルーホールと、前記キャビティ周辺部における前記導体回路層の最上位層と前記キャビティ周辺部における前記多層回路基板の接地面との間に複数個設けられ、前記導体回路層の最上位層と前記接地面とをそれぞれ電気的に接続する第2のスルーホールとを備えたものである。

【0018】また、請求項2の発明に係るマイクロ波回路基板は、前記高熱伝導基板層の最上位層を前記半導体デバイスと同等の高さとし、前記半導体デバイスのグランド面を前記RFパターンのグランドパターン面と一緒にしたものである。

【0019】また、請求項3の発明に係るマイクロ波回路基板は、多層の高熱伝導基板層と多層の導体回路層とを交互に積層して構成された多層回路基板と、この多層回路基板の表面側に設けられたRFパターンと、前記導体回路層の最上層による前記RFパターンのグランドパターンと、前記RFパターンに接続される半導体デバイスと、この半導体デバイスの厚みと同等の深さを有し前記半導体デバイスが設置され、前記半導体デバイスのグランド面を前記RFパターンのグランドパターン面と一緒にするキャビティと、前記多層回路基板の表面側に設けられたパターン、前記導体回路層及びこれらを電気的

に接続するスルーホールからなり、前記多層回路基板内に内装される前記半導体デバイスの電源用パターンと、前記導体回路層の最上位層であって前記半導体デバイスのグランド面を構成する第1の独立パターン、前記最上位層の直下層の導体回路層であって前記第1の独立パターンの直下に設けられた第2の独立パターン、並びにこれら第1及び第2の独立パターンに挟まれた前記高熱伝導基板層により形成された平行平板コンデンサとを備えたものである。

【0020】また、請求項4の発明に係るマイクロ波回路基板は、前記高熱伝導基板層を窒化アルミニウムとしたものである。

【0021】

【発明の実施の形態】実施の形態1、以下、本発明の一実施の形態について図1及び図2を参照しながら説明する。図1は、この発明の実施の形態1に係るマイクロ波回路基板の実装状態の平面を示す図である。図2(a)及び(b)は、図1のA-A'線の断面図及び断面斜視図である。なお、各図中、同一符号は同一又は相当部分を示す。

【0022】図1において、1Aは窒化アルミニウム(A1N)等からなる高熱伝導基板、2はRFパターン、3はデバイス電源用パターン、4は実装された高電力高周波の半導体デバイス、5Aは半導体デバイス4の厚みと同等の深さを有しその表面にメタライズを施したキャビティ、9は半導体デバイス4と表面パターン2、3とを接続するワイヤーもしくはリボンである。

【0023】図2において、20は全面メタライズされた接地面、21はキャビティ5Aのメタライズ面と接地面20のメタライズ面をつなぐスルーホールである。このスルーホール21は、内側面をメタライズするなどして両面を電気的に接続している状態であり、その間隔は動作周波数帯域の最少波長に比べ十分小さい。

【0024】図2に示すように、高熱伝導基板1Aは、基板表面にパターン(マイクロストリップ2及び電源線路3)と裏面全面にメタライズが施され、表面をメタライズしたキャビティ5Aを設け、このキャビティ5Aに実装する高電力高周波の半導体デバイス4の表層と基板表面パターンとの高さを同一にし、キャビティ5Aのメタライズと接地面20のメタライズとを接続するスルーホール21を設けたものである。

【0025】図2(b)は、キャビティ5Aに高電力高周波の半導体デバイス4を半田付け等で接合し、そのRF入出力部及び制御電源部と表面パターン2、3とがワイヤーボンディングもしくはリボンボンディングにより接続された実装状態であり、高電力高周波の半導体デバイス4の接地面と基板接地面20とがスルーホール21により接続されている。

【0026】高電力高周波の半導体デバイス4は、高熱伝導基板1Aに接合されているため、基板自体が高電力

高周波の半導体デバイス4の放熱用ヒートシンク部材として機能する。従って、従来例のように別途に放熱用ヒートシンク部材を必要としないため、軽量、及び小型化が可能である。さらに、半導体デバイス4とのギャップがデバイス自身の厚み程度であるため、高周波特性の劣化を防ぐことができる。スルーホール21の間隔は動作周波数帯域の最少波長に比べ十分小さいため周波数遮断モード共振を防ぐことができる。

【0027】すなわち、この実施の形態1は、窒化アルミニウム等からなる高熱伝導基板1Aを用いるため、それ自体が放熱用ヒートシンク部材となり、高電力半導体デバイス4に必要な放熱用ヒートシンク部材及び基板に必要な放熱用ヒートシンク部材を不要とし、実装回路基板が軽量化、及び小型化される。また、デバイス配置のための貫通穴を有しないため半導体デバイスと基板間のギャップを少なくし高周波特性の劣化を防ぎ、スルーホール21の間隔を使用周波数帯域の最少波長に比べ十分小さくするため周波数遮断モード共振を防ぐことが可能である。

【0028】実施の形態2、この発明の実施の形態2について図3及び図4を参照しながら説明する。図3は、この発明の実施の形態2に係るマイクロ波回路基板の実装状態の平面を示す図である。また、図4(a)及び(b)は、図3のB-B'線の断面図及び断面斜視図である。

【0029】図3において、1Aは窒化アルミニウム(A1N)等から構成される高熱伝導基板、2はRFパターン、12a、12bはデバイス電源供給パターン、4は実装された高電力高周波の半導体デバイス、5Aは半導体デバイス4の厚みと同等の深さを有しその表面にメタライズを施したキャビティ、9は半導体デバイス4と表面パターンとを接続するワイヤーもしくはリボンである。

【0030】また、同図において、11a、11bは下層給電のためのパターン、15aは後述する第2導体回路層10bとデバイス電源供給パターン12b又はパターン11aとをつなぐスルーホールで、内側面をメタライズするなどして電気的に接続された状態である。15bは第3導体回路層10cとデバイス電源供給パターン12a又はパターン11bとをつなぐスルーホールで、内側面をメタライズするなどして電気的に接続された状態である。

【0031】図4において、1A～1Dは多層に積層され窒化アルミニウム(A1N)等から構成される高熱伝導基板、10a～10cは高熱伝導基板間に施された導体回路層、20は全面メタライズされた接地面であり、図4に示すように、キャビティ5Aは高熱伝導基板の最上位層、すなわち第一層1Aを貫通している。また、21はキャビティ5Aのメタライズ面と接地面20をつなぐスルーホールで、内側面をメタライズするなどして電

気的に接続された状態であり、その間隔は動作周波数帯域の最少波長に比べ十分小さい。さらに、14はキャビティ5Aの周辺部であってRFグランドパターン（導体回路層）10aと接地面20とをつなぐスルーホールで、内側面をメタライズするなどして電気的に接続された状態であり、その間隔は動作周波数帯域の最少波長に比べ十分小さい。

【0032】なお、この実施の形態2は、複数の高熱伝導基板1A～1Dと、導体回路層（パターン）10a～10cとを交互に積層した多層回路基板であり、ここではパターンを5層に構成した多層回路基板の例を示している。デバイス制御用の電源パターンを内装することにより表面層のRFパターン製作の自由度が向上し、単層構造に比べデバイス実装密度が向上する。図1に示すマイクロ波回路基板と比較した場合、第一層における電源配線パターン、すなわちデバイス電源供給パターン12a、12bが図4に示すように省略されており、またRFパターン、整合回路及び制御回路作製の自由度も向上している。

【0033】この実施の形態2においては、窒化アルミニウム（AlN）等から構成される高熱伝導基板1A～1Dを用いるため、それ自体が放熱用ヒートシンク部材となり、高電力半導体デバイス4に必要な放熱用ヒートシンク部材と、基板に必要な放熱用ベース部材とを不要とし、多層構造の実装回路基板が軽量化、及び小型化される。また、デバイス配置のための貫通穴を有しないため半導体デバイス4と基板間のギャップを少なくし高周波特性の劣化を防ぎ、スルーホール21の間隔を使用周波数帯域の最少波長に比べ十分小さくするため周波数遮断モード共振を防ぐことができる。

【0034】さらに、多層構造によりデバイス制御用電源パターンを下層に内装することにより第一層での電源配線パターンを省略でき、RFパターン、整合回路及び制御回路作製の自由度が向上し、またRFパターンをまたぐなど高周波特性に影響するような不要なワイヤー及びリボンボンディングを削減できる。

【0035】実施の形態3、この発明の実施の形態3について図5及び図6を参照しながら説明する。図5は、この発明の実施の形態3に係るマイクロ波回路基板の実装状態を示す斜視図である。また、図6は、図5のC-C'線の断面図である。

【0036】図5及び図6は、複数の高熱伝導基板と、パターンとを交互に積層した多層回路基板であり、ここではパターンを6層に構成した多層回路基板の例を示している。

【0037】図5及び図6において、1A～1Eは多層に積層され窒化アルミニウム（AlN）等から構成される高熱伝導基板であって、基板1Aは後述する半導体デバイスの厚みとほぼ同等の基板厚である。また、10a～10dは高熱伝導基板1A～1E間に施されたパター

ン（導体回路層）であって、パターン10aはRFグランドパターンである。

【0038】また、同図において、11a～11cは下層パターン給電のためのパターン、12a～12fは下層パターンから半導体デバイスへの電源供給パターンである。2はRFパターン（マイクロストリップ）、5A～5Cは基板1Aに施された半導体デバイス設置用びきやビティ、4A～4Cはキャビティ5A～5C下のパターン10aに半田等で接合された高電力高周波の半導体デバイスである。

【0039】さらに、同図において、20は全面メタライズされた接地面、14はRFグランドパターン10aと接地面20をつなぐスルーホールで、内側面をメタライズするなどして電気的に接続された状態であり、その間隔は動作周波数帯域の最少波長に比べ十分小さい。また、15a～15cは内装パターン10b～10dと表層のパターン11a～11c、またはパターン12a～12fとをつなぐスルーホールで、内側面をメタライズするなどして電気的に接続された状態である。9は半導体デバイス4A～4Cと表面パターン2、11a～11c、12a～12fとを接続するワイヤー、もしくはリボンである。

【0040】図6に示すように、キャビティ5A等は高熱伝導基板の最上位層、すなわち第一層1Aを貫通しており、また、基板の第一層1Aを半導体デバイス4A～4Cとほぼ同等の高さとし、RFグランド面10aと半導体デバイスグランド面とを同一にすることにより、高周波特性の劣化をさらに防ぐことができる。

【0041】この実施の形態3においては、窒化アルミニウム（AlN）等から構成される高熱伝導基板1A～1Eを用いるため、それ自体が放熱用ヒートシンク部材となり高電力半導体デバイス4A～4Cに必要な放熱用ヒートシンク部材及び基板に必要な放熱用ヒートシンク部材を不要とし、多層構造の実装回路基板が軽量化、及び小型化される。また、デバイス配置のための貫通穴を有せず、半導体デバイスと多層構造の第一層との厚みが同等であることから半導体デバイスと基板間のギャップを少なくし、またデバイス接地面とRF回路接地面とを同一にすることから多層回路基板の高周波特性の劣化を防ぐことができる。さらに、スルーホール14の間隔を使用周波数帯域の最少波長に比べ十分小さくするため周波数遮断モード共振を防ぐことができる。

【0042】さらに、多層構造によりデバイス制御用電源パターンを下層に内装することにより第一層での電源配線パターンを省略でき、RFパターン、整合回路、及び制御回路作製の自由度が向上し、またRFパターンをまたぐなど高周波特性に影響するような不要なワイヤー、及びリボンボンディングを削減できる。

【0043】実施の形態4、この発明の実施の形態4について図7及び図8を参照しながら説明する。図7は、

この発明の実施の形態4に係るマイクロ波回路基板の実装状態を示す斜視図である。また、図8は、図7のD-D'線の断面図である。これらの図において図5及び図6と共通する部分には同一の符号を付してある。

【0044】図7及び図8は、複数の窒化アルミニウム(A1N)等から構成される高熱伝導基板1A～1Eと、パターン10a～10dとを交互に積層した多層回路基板であり、ここではパターンを6層に構成した多層回路基板の例を示している。

【0045】図7及び図8において、22はマイクロストリップにおけるコプレナー線路を形成するパターンである。また、23はRFグランドパターン10aと上記パターン22をつなぐスルーホールで、内側面をメタライズするなどして電気的に接続された状態である。20は全面メタライズされた接地面である。これはこのマイクロ波回路の設置状況または条件によって特に必要としない。

【0046】この実施の形態4は、RFの接地面をコプレナーパターン22を介してとることにより、RFグランドパターン10aと接地面20をつなぐ貫通したスルーホールを必要とせず、以下の層に施されるパターンがそのスルーホールによる制限を受けずパターン構成や作成を容易にする。

【0047】すなわち、この実施の形態4においては、窒化アルミニウム(A1N)等から構成される高熱伝導基板1A～1Eを用いるため、それ自体が放熱用ヒートシンク部材となり高電力半導体デバイスに必要な放熱用ヒートシンク部材及び、基板に必要な放熱用ヒートシンク部材を不要とし、多層構造の実装回路基板が軽量化、及び小型化される。また、デバイス配置のための貫通穴を有せず、半導体デバイスと多層構造の第一層との厚みが同等であることから半導体デバイスと基板間のギャップを少なくし、またデバイス接地面とRF回路接地面とを同一にすることから多層回路基板の高周波特性の劣化を防ぐことができる。また、多層構造によりデバイス制御用電源パターンを下層に内装することにより第一層での電源配線パターンを省略でき、RFパターン、整合回路、及び制御回路作製の自由度が向上し、またRFパターンをまたぐなど高周波特性に影響するような不要ワイヤー、及びリボンボンディングを削減できる。さらに、RF接地面のための貫通のスルーホールを必要としないため下層に施される電源パターン回路製作の自由度が向上する。

【0048】実施の形態5、この発明の実施の形態5について図9を参照しながら説明する。図9は、この発明の実施の形態5に係るマイクロ波回路基板の実装状態を示す部分断面図である。この図において図5及び図6と共通する部分には同一の符号を付してある。

【0049】図9(a)は、複数の窒化アルミニウム(A1N)等から構成される高熱伝導基板1A～1E

と、パターン10a～10dとを交互に積層した多層回路基板とFETのソースドライブ回路の構成図であり、パターンを6層に構成した多層回路基板の例を示している。

【0050】図9において、24はFET等の半導体デバイスが配置されるキャビティ部のパターンであって、同一層のパターンとは独立している。また、パターン25はパターン24直下にあって、パターン24と同様に同一層のパターンとは独立している。26はパターン25と接地面20をつなぐスルーホールで、内側面をメタライズするなどして電気的に接続された状態であり、その間隔は動作周波数帯域の最少波長に比べ十分小さい。さらに、28はパターン24とパターン27とをつなぐスルーホールで、内側面をメタライズするなどして電気的に接続された状態である。

【0051】この実施の形態5は、上記実施の形態3における多層回路基板において、半導体デバイスのキャビティ部のパターン24とその直下のパターン25が独立して施され、それらパターンに高熱伝導基板1Bが挟まれることによって、高熱伝導基板1Bの誘電率を利用して点線で囲まれる部分で平行平板コンデンサ29を構成し、図9(b)の様なFETのソースドライブを行っための回路構成が可能になる。

【0052】すなわち、この実施の形態5においては、窒化アルミニウム(A1N)等から構成される高熱伝導基板1A～1Eを用いるため、それ自体が放熱用ヒートシンク部材となり高電力半導体デバイスに必要な放熱用ヒートシンク部材及び、基板に必要な放熱用ヒートシンク部材を不要とし、実装回路基板が軽量化、及び小型化される。また、デバイス配置のための貫通穴を有しないため半導体デバイスと基板間のギャップを少なくし高周波特性の劣化を防ぎ、スルーホール14の間隔を使用周波数帯域の最少波長に比べ十分小さくするため周波数遮断モード共振を防ぐことができる。

【0053】さらに、FET等の接地面(ソース)パターンを独立して施し高熱伝導基板1Bの誘電率を利用して平行平板コンデンサ29を形成出来る。それによってソースドライブ回路を構成することができる。

【0054】実施の形態6、この発明の実施の形態6について図10を参照しながら説明する。図10は、この発明の実施の形態10に係るマイクロ波回路基板の実装状態を示す部分断面図である。この図において上記実施の形態4及び実施の形態5と共通する部分には同一の符号を付してある。

【0055】図10(a)は、複数の窒化アルミニウム(A1N)等から構成される高熱伝導基板1A～1Eと、パターン10a～10dとを交互に積層した多層回路基板とFETのソースドライブ回路の構成図であり、パターンを6層に構成した多層回路基板の例を示している。

【0056】図10において、24はFET等の半導体デバイスが配置されるキャビティ部のパターンであって、同一層のパターンとは独立している。また、パターン25はパターン24直下にあって、パターン24と同様に同一層のパターンとは独立している。20は全面メタライズされた接地面である。26はパターン25と接地面20をつなぐスルーホールで、内側面をメタライズするなどして電気的に接続された状態であり、その間隔は動作周波数帯域の最少波長に比べ十分小さい。

【0057】この実施の形態6は、上記実施の形態4における多層回路基板において、半導体デバイスのキャビティ部のパターン24とその直下のパターン25が独立して施され、それらパターンに高熱伝導基板1Bが挟まれることによって、高熱伝導基板1Bの誘電率を利用して点線で囲まれる部分で平行平板コンデンサ29を構成し、図10 (b) のようなFETのソースドライブを行うための回路構成が可能になる。

【0058】

【発明の効果】以上のように、請求項1に係る発明よれば、多層の高熱伝導基板層と多層の導体回路層とを交互に積層して構成された多層回路基板と、この多層回路基板の表面側に設けられたRFパターンと、前記導体回路層の最上層による前記RFパターンのグランドパターンと、前記RFパターンに接続される半導体デバイスと、この半導体デバイスの厚みと同等の深さを有しその表面にメタライズを施し、前記半導体デバイスが設置されるキャビティと、前記多層回路基板の表面側に設けられたパターン、前記導体回路層及びこれらを電気的に接続するスルーホールからなり、前記多層回路基板内に内装される前記半導体デバイスの電源用パターンと、前記キャビティと前記多層回路基板の裏面側に設けられた接地面との間に複数個設けられ、前記キャビティのメタライズ面と前記接地面とをそれぞれ電気的に接続する第1のスルーホールと、前記キャビティ周辺部における前記導体回路層の最上位層と前記キャビティ周辺部における前記多層回路基板の接地面との間に複数個設けられ、前記導体回路層の最上位層と前記接地面とをそれぞれ電気的に接続する第2のスルーホールとを設けたので、デバイス配置のための貫通穴を有しないためデバイスと基板間のギャップを少なくし高周波特性の劣化を防ぐことができる。また多層構造により表層の実装密度及び、RF整合回路のパターン製作の自由度が向上し、RFパターンをまたぐなど高周波特性に影響するような不要なワイヤー及びリボンボンディングを削減できるという効果を奏する。

【0059】また、請求項2に係る発明よれば、前記高熱伝導基板層の最上位層を前記半導体デバイスと同等の高さとし、前記半導体デバイスのグランド面を前記RFパターンのグランドパターン面と同一にしたので、さらに半導体デバイスと基板間のギャップを少なくし、多層

回路基板の高周波特性の劣化を防ぐことができるという効果を奏する。

【0060】また、請求項3に係る発明よれば、多層の高熱伝導基板層と多層の導体回路層とを交互に積層して構成された多層回路基板と、この多層回路基板の表面側に設けられたRFパターンと、前記導体回路層の最上層による前記RFパターンのグランドパターンと、前記RFパターンに接続される半導体デバイスと、この半導体デバイスの厚みと同等の深さを有し前記半導体デバイスが設置され、前記半導体デバイスのグランド面を前記RFパターンのグランドパターン面と同一にするキャビティと、前記多層回路基板の表面側に設けられたパターン、前記導体回路層及びこれらを電気的に接続するスルーホールからなり、前記多層回路基板内に内装される前記半導体デバイスの電源用パターンと、前記導体回路層の最上位層であって前記半導体デバイスのグランド面を構成する第1の独立パターン、前記最上位層の直下層の導体回路層であって前記第1の独立パターンの直下に設けられた第2の独立パターン、並びにこれら第1及び第2の独立パターンに挟まれた前記高熱伝導基板層により形成された平行平板コンデンサとを設けたので、多層構造により表層の実装密度及び、RF整合回路のパターン製作の自由度が向上し、RFパターンをまたぐなど高周波特性に影響を防止することができる。またFET等の接地面(ソース)パターンを独立して施し高熱伝導基板の誘電率を利用して平行平板コンデンサーを形成でき、それによってソースドライブ回路を構成する事ができるという効果を奏する。

【0061】また、請求項4に係る発明よれば、前記高熱伝導基板層を窒化アルミニウムとしたので、放熱用ヒートシンク部材を不要とし、実装回路基板を軽量化及び小型化できるという効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の表面を示す図である。

【図2】 図1のA-A'線の断面を示す図である。

【図3】 この発明の実施の形態2の正面を示す図である。

【図4】 図3のB-B'線の断面を示す図である。

【図5】 この発明の実施の形態3を示す斜視図である。

【図6】 図5のC-C'線の断面を示す図である。

【図7】 この発明の実施の形態4を示す斜視図である。

【図8】 図7のD-D'線の断面を示す図である。

【図9】 この発明の実施の形態5の部分断面を示す図である。

【図10】 この発明の実施の形態6の部分断面を示す図である。

【図11】 従来のマイクロ波回路基板を示す斜視図で

ある。

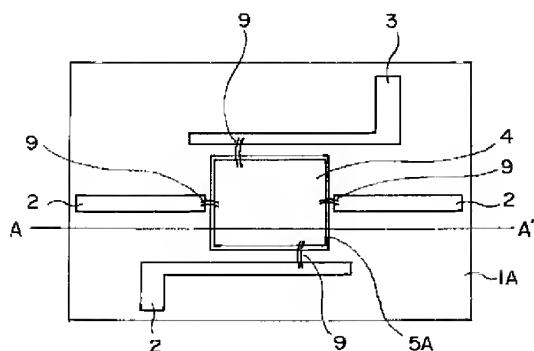
【図12】 従来の他のマイクロ波回路基板（多層回路基板）を示す斜視図である。

【図13】 FETのソースドライブ方式の簡単な説明図である。

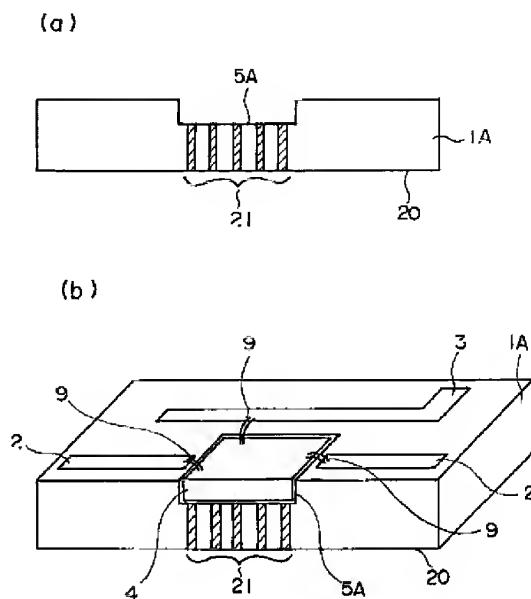
【符号の説明】

1A 高熱伝導基板、2 RFパターン（マイクロストリップ線路）、3 デバイス電源用パターン、4 高電力高周波の半導体デバイス、5A キャビティ、9 ワイヤーまたはリボン、20 接地面、21 スルーホール。

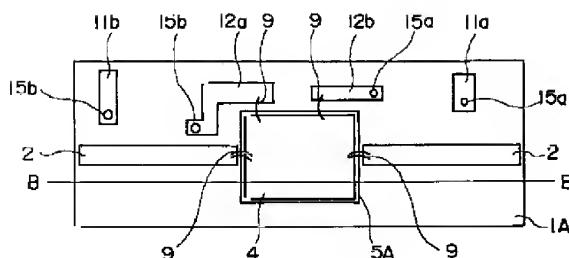
【図1】



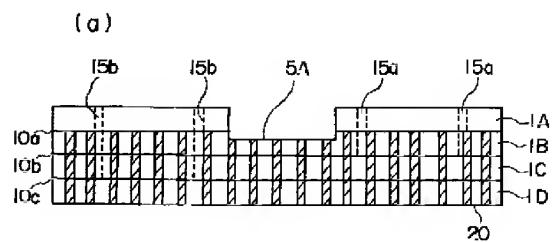
【図2】



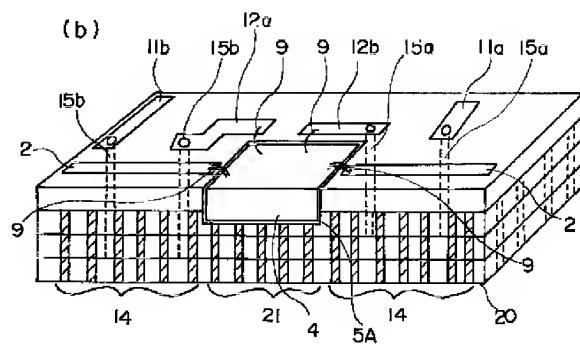
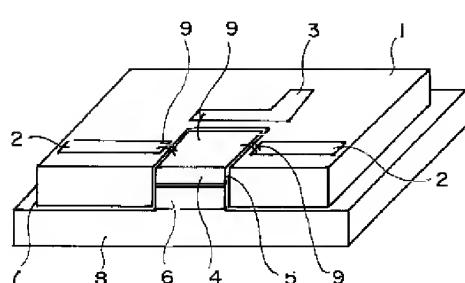
【図3】



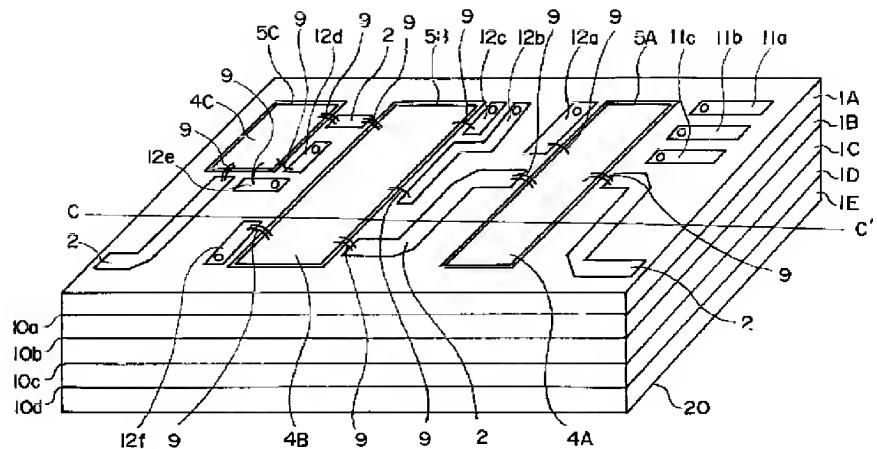
【図4】



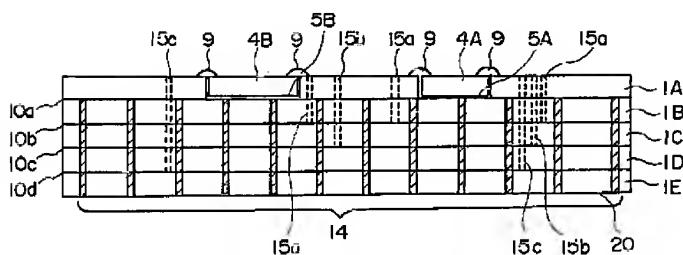
【図11】



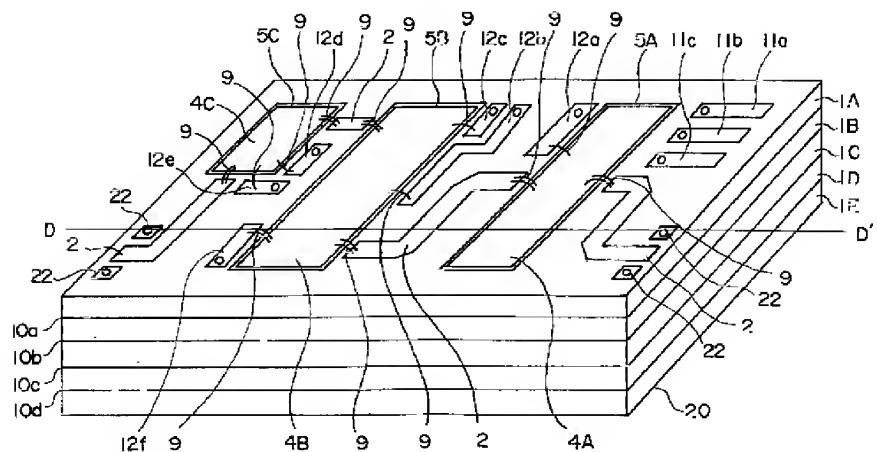
【図5】



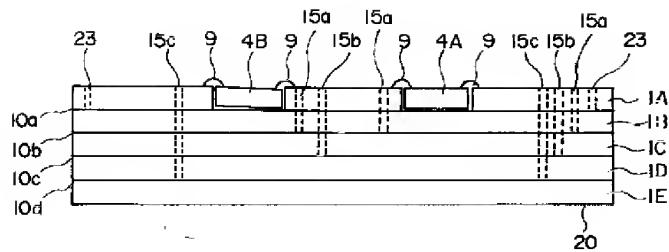
【図6】



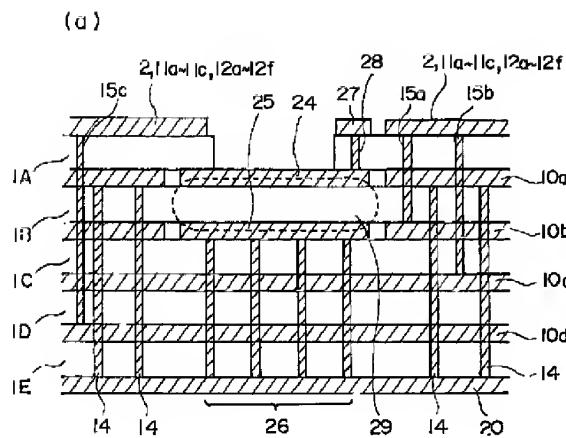
【図7】



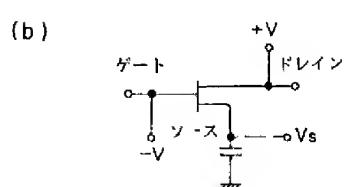
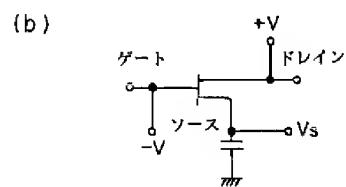
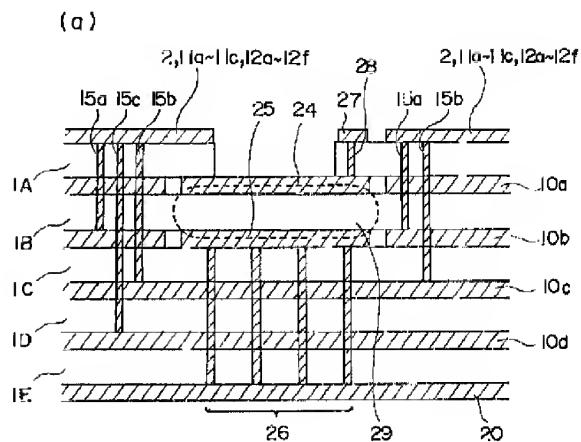
【図8】



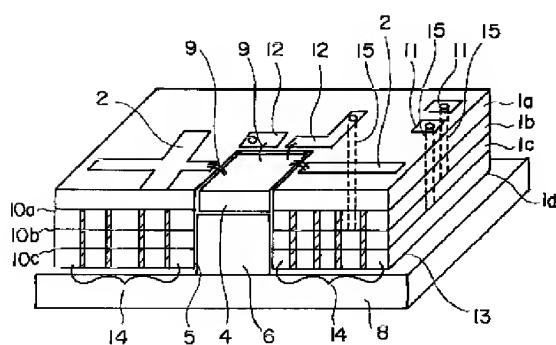
【図9】



【図10】

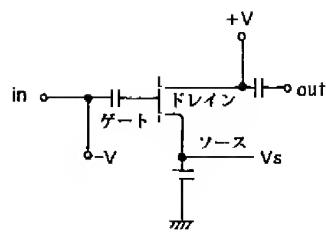


【図12】

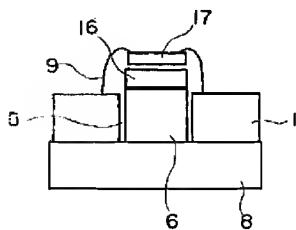


【図13】

(a)



(b)



フロントページの続き

(51) Int. Cl. 7

H 05 K 3/46

識別記号

F I

H 01 L 23/12

(参考)

C